

科目名	電子回路Ⅱ	英文表記	Electronic Circuit Ⅱ	2013/3/6			
科目コード	3213						
教員名:知念 幸勇 技術職員名:				作成			
対象学科/専攻コース	学年	必・選	履修・学修	単位数	授業形態	授業期間	
情報通信システム工学科	3年	必	履修	2単位	講義	通年	
科目目標	真理値表の作成・解読、論理式の作成と簡略化、カルノー図による簡略化、ゲート回路の作成、タイミング波形の作成、フリップフロップ回路の構成と原理、各種順序回路などデジタル電子回路の基礎を理解する。ハードウェア記述言語(HDL)について理解しデジタルシステムの設計法について学ぶ。						
総合評価	前期・後期評価:定期試験(中間・期末)で100%評価する。 学年末評価は前期評価と後期評価の平均で行い、60%以上を合格とする。						
科目目標達成度とJABEE目標との対応	科目達成度目標(対応するJABEE教育目標)		達成度目標の評価方法		目標割合		
	①	ゲート回路、順序回路を用いたデジタル電子回路の基礎を理解する。	⇒	基礎問題・応用問題を正しく理解して計算できるかを定期試験で評価する。	30%		
	②	ハードウェア記述言語(HDL)によるデジタルシステム設計について理解する。	⇒	基礎問題・応用問題を正しく理解して計算できるかを定期試験で評価する。	30%		
	③	電気・電子工学の専門分野の資格・就職・編入試験等で出される電気回路に関連する問題の70%程度を解ける学力がついている。	⇒	応用問題を正しく理解して計算できるかを定期試験で評価する。	40%		
本科・専攻科教育目標	1	2	3	4			
	○		◎				
評価方法と評価項目および関連目標に対する評価割合							
	目標との関連	定期試験	小テスト	レポート	その他(演習課題・発表・実技・成果物等)	総合評価	セルフチェック
評価項目		100	0	0	0	100	
基礎的理解	①②	60				60	
応用力(実践・専門・融合)	③	30				30	
社会性(プレゼン・コミュニケーション・PBL)		0				0	
主体的・継続的学修意欲	③	10				10	
授業概要、方針、履修上の注意	1. 本授業では電子回路の基礎としてのデジタル回路について講義を行う。 2. デジタル回路はゲート回路、フリップフロップ、カウンタ、レジスタ回路、HDL言語の基礎について講義する。 4. 回路シミュレータ、簡易電子回路デモ機操作、FPGA演習ボード(HDLトレーナ)などを活用して実践的に理解を深める。						
教科書・教材	専修学校教科書シリーズ 電子回路(2)コロナ社、演習問題プリント、MicroCap、ISEシミュレータ						

授 業 計 画

週	授 業 項 目	時 間	授 業 内 容	自 学 自 習 (予 習・復 習)内 容	セ ル フ チ ャ ッ ク
1	デジタル回路の基礎1	2	2、8、16進数		
2	デジタル回路の基礎2	2	2進化10進数		
3	デジタル回路の基礎3	2	補数演算		
4	デジタル回路の基礎4	2	論理代数		
5	デジタル回路の基礎5	2	真理値表、論理式の簡略化、カルノー図		
6	ゲート回路1	2	AND、OR、NOT回路による論理式の表現		
7	ゲート回路2	2	NAND、NOR回路による論理式の表現		
8	前期中間試験(行事予定で変更可)	2	週1～7の授業で学んだ内容について試験を行う		
9	フリップフロップ1	2	FF		
10	フリップフロップ2	2	D-FF		
11	フリップフロップ3	2	JK-FF		
12	フリップフロップ4	2	JK-FF		
13	カウンタ1	2	4進カウンタ		
14	カウンタ2	2	5進カウンタ		
15	カウンタ3	2	7進カウンタ		
期末	期末試験	[2]	週9～15の授業で学んだ内容について試験を行う		
16	HDL言語による回路設計の	2	AND、OR回路		
17	HDL言語によるゲート回路	2	セクタ回路(構造記述)		
18	HDL言語によるゲート回路	2	半加算回路、全加算回路		
19	HDL言語によるゲート回路	2	半減算回路、全減算回路		
20	HDL言語によるゲート回路	2	セクタ回路(動作記述、IF文)		
21	HDL言語によるゲート回路	2	セクタ回路(動作記述、CASE文)		
22	HDL言語によるゲート回路	2	エンコーダ、デコーダ		
23	後期中間試験(行事予定で変更可)	2	週16～22の授業で学んだ内容について試験を行う		
24	HDL言語による順序回路設	2	マルチプレクサ		
25	HDL言語による順序回路設	2	デマルチプレクサ		
26	HDL言語による順序回路設	2	D-FF回路		
27	HDL言語による順序回路設	2	JK-FF回路		
28	HDL言語による順序回路設	2	シリバラ変換		
29	HDL言語による階層設計の	2	階層設計(全減算回路)		
30	HDL言語による階層設計の	2	階層設計(4ビット加減算回路)		
期末	期末試験	[2]	週24～30の授業で学んだ内容について試験を行う		
学習時間合計		60	実時間	45	
自学自習(予習・復習)内容(学修単位における自学自習時間の保証)				標準的所用時間(試行)	
①	この科目は履修形態のため、この欄の記入は不要				
②					
③					
備考欄					
(関連科目) ・電気回路 I (2年)、電子回路 I (3年) (各科目個別記述)					