

科目名	コンピュータアーキテクチャ	英文表記	Computer Architecture		平成27年2月12日		
科目コード	3304						
教員名: 佐藤 尚 技術職員名:					作成		
対象学科/専攻コース		学年	必・選	履修・学修	単位数	授業形態	授業期間
メディア情報工学科		3年	必	履修	2単位	講義	通年
科目目標	<ul style="list-style-type: none"> <li>・コンピュータの基本アーキテクチャを理解する。</li> <li>・CPU、メモリ、周辺装置の高速化技術について理解を深める。</li> <li>・コンピュータの制御について理解する。</li> </ul>						
総合評価	前期・後期評価: 定期試験(中間・期末)の平均により評価する。 学年末評価は前期評価と後期評価の平均の80%、レポート20%により評価し、60%以上を合格とする。						
科目目標達成度とJABEE目標との対応	科目達成度目標(対応するJABEE教育目標)		ルーブリック				
	達成度目標の評価方法		理想的な到達レベル	標準的な到達レベル	最低限必要な到達レベル	セルフチェック	
	①	定期試験で評価する。	コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置に関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置に関する基礎を理解し、論理的・数学的に説明することができる。	コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置に関する基礎を理解することができる。		
	②	定期試験で評価する。	パイプライン制御、マルチプロセッサなどのCPUの高速化技術に関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	パイプライン制御、マルチプロセッサなどのCPUの高速化技術に関する基礎を理解し、論理的・数学的に説明することができる。	パイプライン制御、マルチプロセッサなどのCPUの高速化技術に関する基礎を理解することができる。		
③	定期試験で評価する。	特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャに関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャに関する基礎を理解し、論理的・数学的に説明することができる。	特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャに関する基礎を理解することができる。			

	④	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術について理解する(A-2)。	定期試験で評価する。	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術に関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術に関する基礎を理解し、論理的・教学的に説明することができる。	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術に関する基礎を理解することができる。		
	⑤	コンピュータの五大装置、および周辺装置に関する知識を基に、コンピュータの新たな活用法を考案することができる(A-2)。	レポートで評価する。	コンピュータの既存の活用法のサーベイ結果を基に、まだ生まれていない製品・技術等を予測し、それらを用いた新規の活用法を考案することができる。	コンピュータの既存の活用法をサーベイした結果を基に、既存の製品・技術等とコンピュータとの新規の組み合わせによる活用法を考案することができる。	コンピュータの既存の活用法をサーベイした結果を基に、既存の活用法の問題点を発見し、その解決案を提示することができる。		
本科・専攻 科教育目標	1	2	3	4	JABEEプログラム名称	メディア情報工学		
	◎		○		JABEEプログラム教育目標	A-2		
<b>評価方法と評価項目および関連目標に対する評価割合</b>								
		目標との関連	定期試験	小テスト	レポート	その他(演習課題・発表・実技・成果物等)	総合評価	セルフチェック
評価項目			80	0	20	0	100	
基礎的理解	①②③④		80				80	
応用力(実践・専門・融合)	⑤				20		20	
社会性(プレゼン・コミュニケーション・PBL)							0	
主体的・継続的学修意欲							0	
授業概要、方針、履修上の注意	コンピュータのCPU、メモリ、および入出力アーキテクチャなどの構成要素、機能、動作原理、そして最新の技術動向に関する理解を深め、情報処理技術者試験の該当箇所について合格できるレベルの知識習得を目標とする。							
教科書・教材	教員自作プリント							

授 業 計 画					
週	授 業 項 目	時間	授 業 内 容	自学自習 (予習・復習)内容	セルフ チェック
1	ガイダンスとコンピュータの歴史	2	授業の内容、進め方、注意点について、更に、コンピュータの発達の歴史を理解する。		
2	コンピュータの基本構造1	2	コンピュータの五大装置、CPUアーキテクチャ、そしてレジスタについて理解する。(航)		
3	コンピュータの基本構造2	2	機械語命令の形式、アドレス指定方式、そしてノーマンのボトルネックについて理解する。		
4	コンピュータの命令	2	コンピュータの命令制御について理解する。		
5	コンピュータの割り込み	2	割り込み制御について理解する。		
6	コンピュータの演算装置	2	コンピュータの演算装置について理解する。		
7	試験前対策	2	上記の内容に関する復習を行う。		
8	前学期中間試験	2			
9	CPUの高速化1	2	パイプライン制御について理解する。		
10	CPUの高速化2	2	マルチプロセッサの目的、構成、および処理装置同士の同期について理解する。		
11	CPUの高速化3	2	マルチプロセッサの限界とアムダールの法則、そしてグリッドコンピューティングについて理解する。		
12	演習	2	コンピュータの構造・活用法に関するサーベイを行う		
13	演習	2	コンピュータの構造・活用法に関するサーベイを行う		
14	演習	2	コンピュータの構造・活用法に関するサーベイを行う		
15	試験前対策	2	上記の内容に関する復習を行う。		
期末	前学期期末試験	[2]			
16	特殊なプロセッサによる高速化1	2	アレイプロセッサ理解する。		
17	特殊なプロセッサによる高速化2	2	パイプラインプロセッサについて理解する。		
18	半導体メモリ	2	SRAM、DRAM等の半導体メモリについて理解する。		
19	仮想記憶	2	主記憶の容量制限を解放する仮想記憶の方法について理解する。		
20	メモリの高速化	2	キャッシュメモリについて理解する。		
21	入出力アーキテクチャ	2	DMA方式、チャンネル制御方式などの入出力制御技術について理解する。		
22	試験前対策	2	上記の内容に関する復習を行う。		
23	後学期中間試験	2			
24	補助記憶装置1	2	光ディスクについて理解する。		
25	補助記憶装置2	2	磁気ディスク装置やPCカードなどの周辺装置について理解する。		
26	入出力インターフェース・入出力装置1	2	USBやIEEE1394などの様々な入出力インターフェースについて理解する。		
27	入出力インターフェース・入出力装置2	2	様々な入力装置について理解する。		
28	入出力インターフェース・入出力装置3	2	様々な出力装置について理解する。		
29	更なる高速化技術	2	スーパースケーラ(スカラ)などの高速化技術について理解する		
30	試験前対策	2	上記の内容に関する復習を行う。		
期末	後学期期末試験	[2]			
学習時間合計		60	実時間	45	
自学自習(予習・復習)内容(学修単位における自学自習時間の保証)				標準的所用時間(試行)	
備考欄					
(共通記述) ・ この科目はJABEE対応科目である。 その他必要事項は各コースで決める。 (各科目個別記述) ・ この科目の主たる関連科目はアルゴリズムとデータ構造(3年)、OSとコンパイラ(4年)である。 その他必要事項は各コースで決める。					

学習時間は、実時間ではなく単位時間で記入する。(45分=1、90分=2)