

科目名	情報通信総合演習		英文表記	Information and Communication Engineering Exercise		2015年1月20日		
科目コード	4211							
教員名: 山田親稔 技術職員名:						作成		
対象学科/専攻コース			学年	必・選	履修・学修	単位数	授業形態	授業期間
情報通信システム工学科			4年	選	履修	2単位	演習	通年
科目目標	組み込みシステムを構成する組み込みプロセッサ、組み込みOS、組み込みソフトウェアの基礎および組み込みシステムの開発手法を理解する。実用に供せられているコンピュータシステムの利用形態について説明できる。							
総合評価	組み込みプロセッサ、組み込みOS、組み込みソフトウェアの基礎の理解を定期試験(前期中間(20%)・前期期末(20%)・後期中間(20%)・後期期末(20%))および演習課題(10%)、レポート(10%)により評価する。							
科目目標達成度とJABEE目標との対応	目標割合	科目達成度目標(対応するJABEE教育目標)	達成度目標の評価方法	ルーブリック				
				理想的な到達レベル	標準的な到達レベル	最低限必要な到達レベル	セルフチェック	
	50%	① 組み込みシステムを構成する組み込みプロセッサ、専用回路の基礎を理解する。(A-3)	基礎知識を定期試験(前期中間(20%)・前期期末(20%))および演習課題(10%)により評価する。	組み込みシステムを構成する組み込みプロセッサ、専用回路の基礎を理解し、簡単なプロセッサを工夫して実装できる。	組み込みシステムを構成する組み込みプロセッサ、専用回路の基礎を理解し、簡単なプロセッサを実装できる。	組み込みシステムを構成する組み込みプロセッサ、専用回路の基礎を理解する。		
50%	② 組み込みシステムを構成する組み込みOS、組み込みソフトウェアの基礎および組み込みシステムの開発手法を理解する。(A-3)	基礎知識を定期試験(後期中間(20%)・後期期末(20%))およびレポート(10%)により評価する。	組み込みシステムを構成する組み込みOS、組み込みソフトウェアの基礎および組み込みシステムの開発手法を理解し、ハードウェアとの関係を検討できる。	組み込みシステムを構成する組み込みOS、組み込みソフトウェアの基礎および組み込みシステムの開発手法を理解する。	組み込みシステムを構成する組み込みOS、組み込みソフトウェアの基礎および組み込みシステムを理解する。			
本科・専攻科教育目標	1	2	3	4	JABEEプログラム名称	情報通信システム工学		
	○		◎		JABEEプログラム教育目標	A-3		
評価方法と評価項目および関連目標に対する評価割合								
	目標との関連	定期試験	小テスト	レポート	その他(演習課題・発表・実技・成果物等)	総合評価	セルフチェック	
評価項目		80	0	10	10	100		
基礎的理解	①	40			5	45		
応用力(実践・専門・融合)	②	20		5		25		
社会性(プレゼン・コミュニケーション・PBL)	②			5		5		
主体的・継続的学修意欲	①②	20			5	25		
授業概要、方針、履修上の注意	組み込みプロセッサとして改良版TeC6(TeC6_Rev)を、また、開発言語として改良版TeC6アセンブリ言語を採用し、OSレスの組み込みシステムを実習形式で開発する。また、専用ハードウェアおよび制御対象のシステムは、VHDL言語を用いて設計し、FPGAボード(TD-BD-TS101)上に実装する。							
教科書・教材	プリントおよび電子データを配布する。							

授 業 計 画					
週	授 業 項 目	時間	授 業 内 容	自学自習 (予習・復習)内容	セルフ チェック
1	組込みシステムの概要	2	本講義の概要および進め方、組込みシステムの概要、デジタル回路の復習		
2	VHDLによる設計演習(1)	2	VHDLによるハードウェア設計の基礎	講義の予習、演習課題	
3	VHDLによる設計演習(2)	2	VHDLによる階層設計	講義の予習、演習課題	
4	VHDLによる設計演習(3)	2	VHDLによるシミュレーションの基礎	講義の予習、演習課題	
5	VHDLによる設計演習(4)	2	VHDLによる実用的な組み合わせ回路の設計 ①	講義の予習、演習課題	
6	VHDLによる設計演習(5)	2	VHDLによる実用的な組み合わせ回路の設計 ②	講義の予習、演習課題	
7	VHDLによる設計演習(6)	2	VHDLによる実用的な組み合わせ回路の設計 ③	講義の予習、演習課題	
8	前期中間試験	2			
9	VHDLによる設計演習(7)	2	VHDLによるレジスタの設計 ①	講義の予習、演習課題	
10	VHDLによる設計演習(8)	2	VHDLによるレジスタの設計 ②	講義の予習、演習課題	
11	VHDLによる設計演習(9)	2	VHDLによるカウンタの設計	講義の予習、演習課題	
12	VHDLによる設計演習(10)	2	VHDLによるステートマシンの設計	講義の予習、演習課題	
13	VHDLによる設計演習(11)	2	VHDLによる同期式順序回路の設計 ①	講義の予習、演習課題	
14	VHDLによる設計演習(12)	2	VHDLによる同期式順序回路の設計 ②	講義の予習、演習課題	
15	VHDLによる設計演習(13)	2	VHDLによる同期式順序回路の設計 ③	講義の予習、演習課題	
期末	期末試験	[2]			
16	FPGAによる実装実習(1)	2	FPGAによるハードウェア実装の概要	講義の予習、演習課題	
17	FPGAによる実装実習(2)	2	FPGAによるストップウォッチの実装 ①	講義の予習、演習課題	
18	FPGAによる実装実習(3)	2	FPGAによるストップウォッチの実装 ②	講義の予習、演習課題	
19	FPGAによる実装実習(4)	2	FPGAによるストップウォッチの実装 ③	講義の予習、演習課題	
20	FPGAによる実装実習(5)	2	TeC6lによるアセンブラ・プログラミング ①	講義の予習、演習課題	
21	FPGAによる実装実習(6)	2	TeC6lによるアセンブラ・プログラミング ②	講義の予習、レポート	
22	FPGAによる実装実習(7)	2	TeC6lによるアセンブラ・プログラミング ③	講義の予習、演習課題	
23	後期中間試験	2			
24	組込みシステムの開発実習(1)	2	簡易組込みシステムの開発実習 ①	講義の予習、演習課題	
25	組込みシステムの開発実習(2)	2	簡易組込みシステムの開発実習 ②	講義の予習、演習課題	
26	組込みシステムの開発実習(3)	2	簡易組込みシステムの開発実習 ③	講義の予習、演習課題	
27	組込みシステムの開発実習(4)	2	簡易組込みシステムの開発実習 ④	講義の予習、レポート	
28	組込みシステムの開発実習(5)	2	簡易組込みシステムの開発実習 ⑤	講義の予習、演習課題	
29	組込みシステムの開発実習(6)	2	簡易組込みシステムの開発実習 ⑥	講義の予習、演習課題	
30	組込みシステムの開発実習(7)	2	簡易組込みシステムの開発実習 ⑦	講義の予習、演習課題	
期末	期末試験	[2]			
学習時間合計		60	実時間	45	
自学自習(予習・復習)内容(学修単位における自学自習時間の保証)				標準的所用時間(試行)	
①	講義の予習・演習課題の作成			各2時間×30回	
②	課題レポート作成			各5時間×2回	
備 考 欄					
(共通記述) ・ この科目はJABEE対応科目である。 その他必要事項は各コースで決める。 (各科目個別記述) ・ この科目の主たる関連科目はコンピュータアーキテクチャ(3年)、オペレーティングシステム(3年) その他必要事項は各コースで決める。					

学習時間は、実時間ではなく単位時間で記入する。(45分=1、90分=2)