

科目名	コンピュータアーキテクチャ				英文表記	Computer Architecture		2010 年 3 月 3 日
教員名：佐藤 尚 技術支援：								作 成
対象学科		学年	必・選	履修・学修	単位数	授業形態	授業期間	
メディア情報工学科		3 年	必修	履修	2 単位	講義	通年	
目 標	1) コンピュータの基本アーキテクチャを理解する．2) CPU，メモリ，周辺装置の高速化技術について理解を深める．3) コンピュータの制御について理解する．							
高 専 目 標	1	2	3	4	JABEE プログラム名称		メディア情報工学プログラム	
	◎		○		JABEE プログラム教育目標		(A-2, 3), (B-1, 2, 3), (C-4)	
授 業 概 要、 方 針、 履修上の注意	コンピュータのCPU，メモリ，および入出力アーキテクチャなどの構成要素，機能，動作原理，そして最新の技術動向に関する理解を深め，情報処理技術者試験の該当箇所について合格できるレベルの知識習得をすすめる．							
評 価 方 法	成績は，中間・期末試験を 70%，レポート・提出物などを含む平常点を 30%として評価する．							
教科書・教材	「新 読む講義シリーズ1 コンピュータアーキテクチャ」（アイテック）							
参 考 図 書	パターソン&ヘネシー コンピュータアーキテクチャ ダグラス・E・カマー コンピュータアーキテクチャのエッセンス (他にも参考図書を探す場合のキーワード：コンピュータアーキテクチャ)							
授 業 計 画								
授 業 項 目				時 間	授 業 内 容			
ガイダンスとコンピュータの歴史				2	授業の内容，進め方，注意点について，更に，コンピュータの発達の歴史を理解する．			
コンピュータの基本構造				4	コンピュータの 5 大装置を理解する．			
コンピュータの命令				2	コンピュータの命令制御について理解する．			
コンピュータの割り込み				2	割り込み制御について理解する．			
コンピュータの演算装置				2	コンピュータの演算装置（CPU）について理解する．			
総合演習				2	演習問題			
前学期中間試験				2				
CPU の高速化 1				4	CPU 単体の高速化技術（主にパイプライン制御）について理解する．			
CPU の高速化 2				10	複数の CPU を接続したマルチプロセッサについて理解する．			
前学期期末試験				[1]				
特殊なプロセッサによる高速化				2	アレイプロセッサ，パイプラインプロセッサについて理解する．			
半導体メモリ				2	半導体メモリについて理解する			
仮想記憶				2	主記憶の容量制限を解放する仮想記憶の方法について理解する．			
メモリの高速化 入出力アーキテクチャ				2 2	メモリを高速化するための技術について理解する． DMA 方式，チャネル制御方式などの入出力制御技術について理解する．			

総合演習	4	演習問題	
後学期中間試験	2		
補助記憶装置	6	ハードディスク，光ディスクなどの周辺装置について理解する	
入出力インターフェース・入出力装置	6	USB や IEEE1394 などの様々な入出力インターフェースとそれらを利用する入出力装置について理解する．	
最新高速化技術	2	CPU などの高速化技術（スーパースケーラ，スーパースカラ）などについて理解する．	
後学期期末試験	[1]		
学習時間合計	60	実時間	50
学修単位における自学自習時間の保証（レポート頻度など）			

学習時間は、実時間ではなく単位時間で記入する。（50分＝1、100分＝2）
 通年は2ページ、半期は1ページ以内におさめる。