

科目名	電子回路Ⅱ		英文表記	Electronic Circuit Ⅱ		H23.3.22	
科目コード	3213						
教員名：知念幸勇 技術職員名：						作成	
対象学科／専攻コース			学年	必・選	履修・学修	単位数	授業形態
情報通信システム工学科			3年	必	履修	2単位	講義
目標及び評価方法	目標項目			評価方法及びその割合			
	①デジタル電子回路の基礎を理解する.			①定期試験 (50%)			
②ハードウェア記述言語 (HDL)によるデジ			②定期試験 (50%)				
高専目標	1	2	3	4	JABEEプログラム名称		
	◎		○		JABEEプログラム教育目標		
授業概要、方針、履修上の注意	1. 本授業では電子回路の基礎としてのデジタル回路について講義を行う。 2. デジタル回路はゲート回路、フリップフロップ、カウンタ、レジスタ回路、HDL言語の基礎について講義する。 3. 回路シミュレータ、簡易電子回路デモ機操作、FPGA演習ボード (HDLトレーナ) などを活用して実践的に理解を深める。						
教科書・教材	専修学校教科書シリーズ 電子回路 (2) コロナ社, 演習問題プリント, MicroCap, ISEシミュレータ						
授 業 計 画							
回次	授 業 項 目	時間	授 業 内 容			予 習 項 目	
1	デジタル回路の基礎1	2	2、8、16進数				
2	デジタル回路の基礎2	2	2進化10進数				
3	デジタル回路の基礎3	2	補数演算				
4	デジタル回路の基礎4	2	論理代数				
5	デジタル回路の基礎5	2	真理値表、論理式の簡略化、カルノー図				
6	ゲート回路1	2	AND、OR、NOT回路による論理式の表現				
7	ゲート回路2	2	NAND、NOR回路による論理式の表現				
8	中間	2					
9	フリップフロップ1	2	FF				
10	フリップフロップ2	2	D-FF				
11	フリップフロップ3	2	JK-FF				
12	フリップフロップ4	2	JK-FF				
13	カウンタ1	2	4進カウンタ				
14	カウンタ2	2	5進カウンタ				
15	カウンタ3	2	7進カウンタ				
期末	前期末試験	[2]					
16	HDL言語による回路設計の	2	AND、OR回路				
17	HDL言語によるゲート回路	2	セレクト回路 (構造記述)				
18	HDL言語によるゲート回路	2	半加算回路、全加算回路				
19	HDL言語によるゲート回路	2	半減算回路、全減算回路				
20	HDL言語によるゲート回路	2	セレクト回路 (動作記述、IF文)				
21	HDL言語によるゲート回路	2	セレクト回路 (動作記述、CASE文)				
22	HDL言語によるゲート回路	2	エンコーダ、デコーダ				
23	中間	2					
24	HDL言語による順序回路設	2	マルチプレクサ				
25	HDL言語による順序回路設	2	デマルチプレクサ				
26	HDL言語による順序回路設	2	D-FF回路				
27	HDL言語による順序回路設	2	JK-FF回路				
28	HDL言語による順序回路設	2	シリバラ変換				
29	HDL言語による階層設計の	2	階層設計 (全減算回路)				
30	HDL言語による階層設計の	2	階層設計 (4ビット加減算回路)				
期末	後期末試験	[2]					
学習時間合計		60	実時間			50	
学修単位における自学自習時間の保証 (レポート頻度など)							