

科目名	コンピュータアーキテクチャ	英文表記	Computer Architecture	2016年3月17日			
科目コード	3304						
教員名: 佐藤 尚				作成			
技術職員名:							
対象学科/専攻コース		学年	必・選	履修・学修	単位数	授業形態	授業期間
メディア情報工学科		3年	必	履修	2単位	講義	通年
科目目標 【MCC目標】	<ul style="list-style-type: none"> ・コンピュータの基本アーキテクチャを理解する。 ・CPU、メモリ、周辺装置の高速化技術について理解を深める。 ・コンピュータの制御について理解する。 <p>【IV-C-1】情報の基礎: コンピュータのハードウェアに関する基礎的な知識を理解し活用できる。</p> <p>【V-D-3】コンピュータのハードウェア: 五大装置、プロセッサ実現のための主要技術、メモリシステム、入出力などを説明できる。</p> <p>【V-D-4】コンピュータシステム: デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。</p>						
総合評価	前期・後期評価: 定期試験(中間・期末)の平均により評価する。 学年末評価は前期評価と後期評価の平均の80%、レポート20%により評価し、60%以上を合格とする。						
科目達成度目標とJABEE目標との対応	目標割合	科目達成度目標(対応するJABEE教育目標)	達成度目標の評価方法	ルーブリック			
				理想的な到達レベル(優)	標準的な到達レベル(良)	最低限必要な到達レベル(可)	セルフチェック
	20%	① (A-2) コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置について理解する。	定期試験で評価する。	コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置に関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置に関する基礎を理解し、論理的・数学的に説明することができる。	コンピュータの歴史、基本構造、命令制御、割り込み制御、そして演算装置に関する基礎を理解することができる。	
	20%	② (A-2) パイプライン制御、マルチプロセッサなどのCPUの高速化技術について理解する。	定期試験で評価する。	パイプライン制御、マルチプロセッサなどのCPUの高速化技術に関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	パイプライン制御、マルチプロセッサなどのCPUの高速化技術に関する基礎を理解し、論理的・数学的に説明することができる。	パイプライン制御、マルチプロセッサなどのCPUの高速化技術に関する基礎を理解することができる。	
20%	③ (A-2) 特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャについて理解する。	定期試験で評価する。	特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャに関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャに関する基礎を理解し、論理的・数学的に説明することができる。	特殊なプロセッサ、半導体メモリ、メモリ高速化技術、入出力アーキテクチャに関する基礎を理解することができる。		

20%	④ (A-2)	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術について理解する。	定期試験で評価する。	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術に関する基礎を理解し、これらの知識を基に身の回りの様々なコンピュータ応用製品について説明することができる。	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術に関する基礎を理解し、論理的・数学的に説明することができる。	補助記憶装置、入出力インターフェース、入出力装置、更なる高速化技術に関する基礎を理解することができる。		
	⑤ (A-2)	コンピュータの五大装置、および周辺装置に関する知識を基に、コンピュータの新たな活用法を考案することができる。	レポートで評価する。	コンピュータの既存の活用法のサーベイ結果を基に、まだ生まれていない製品・技術等を予測し、それらを用いた新規の活用法を考案することができる。	コンピュータの既存の活用法をサーベイした結果を基に、既存の製品・技術等とコンピュータとの新規の組み合わせによる活用法を考案することができる。	コンピュータの既存の活用法をサーベイした結果を基に、既存の活用法の問題点を発見し、その解決案を提示することができる。		
本科・専攻科 教育目標	1 ◎	2	3 ○	4	JABEEプログラム名称 メディア情報工学			
	JABEEプログラム教育目標				A-2			
評価方法と評価項目および関連目標に対する評価割合								
	目標との関連	定期試験	小テスト	レポート	その他(演習課題・発表・実技・成果物等)	総合評価	セルフチェック	
評価項目		80	0	20	0	100		
基礎的理解	①～④	80				80		
応用力(実践・専門・融合)	⑤			20		20		
社会性(プレゼン・コミュニケーション・PBL)						0		
主体的・継続的学修意欲						0		
授業概要、方針、履修上の注意	コンピュータのCPU、メモリ、および入出力アーキテクチャなどの構成要素、機能、動作原理、そして最新の技術動向に関する理解を深め、情報処理技術者試験の該当箇所について合格できるレベルの知識習得を目標とする。							
教科書・教材	教員自作プリント							

授 業 計 画

週	授 業 項 目	時間	授 業 内 容	自学自習 (予習・復習) 内容	セルフ チェッ ク
1	ガイダンスとコンピュータの歴史	2	授業の内容、進め方、注意点について、更に、コンピュータの発達の歴史を理解する。 【V-D-3:5-2】プロセッサを実現するために考案された主要な技術を説明できる。		
2	コンピュータの基本構造1	2	コンピュータの五大装置、CPUアーキテクチャ、そしてレジスタについて理解する。 【V-D-3:5-1】五大装置それぞれの役割とこれらの間でのデータの流れを説明できる。		
3	コンピュータの基本構造2	2	機械語命令の形式、アドレス指定方式、そしてノイマンのボトルネックについて理解する。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。 【V-D-3:5-5】コンピュータアーキテクチャにおけるトレードオフについて理解している。		
4	コンピュータの基本構造3	2	アドレス指定方式を用いた実効アドレスの求め方などを理解する。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
5	コンピュータの命令	2	コンピュータの命令制御について理解する。 【V-D-3:5-2】プロセッサを実現するために考案された主要な技術を説明できる。		
6	コンピュータの割り込み	2	割り込み制御について理解する。 【V-D-3:5-2】プロセッサを実現するために考案された主要な技術を説明できる。		
7	コンピュータの演算装置	2	コンピュータの演算装置について理解する。 【V-D-3:5-2】プロセッサを実現するために考案された主要な技術を説明できる。		
8	前学期中間試験	2			
9	CPUの高速化1	2	パイプライン制御について理解する。 【V-D-4:1-3】デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。		
10	CPUの高速化2	2	マルチプロセッサの目的、構成、および処理装置同士の同期について理解する。 【V-D-4:1-3】デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。		
11	CPUの高速化3	2	マルチプロセッサの限界とアムダールの法則、そしてグリッドコンピューティングについて理解する。 【V-D-4:1-3】デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。		
12	特殊なプロセッサによる高速化	2	アレイプロセッサとパイプラインプロセッサについて学ぶ。 【V-D-4:1-3】デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。		
13	演習	2	コンピュータの構造・活用法に関するサーベイを行う。 【IV-C-1:3】コンピュータのハードウェアに関する基礎的な知識を理解し活用できる。		

14	演習	2	コンピュータの構造・活用法に関するサーベイを行う。 【IV-C-1:3】コンピュータのハードウェアに関する基礎的な知識を理解し活用できる。		
15	演習	2	コンピュータの構造・活用法に関するサーベイを行う。 【IV-C-1:3】コンピュータのハードウェアに関する基礎的な知識を理解し活用できる。	レポート	
期末	期末試験	[2]			
16	計算機の高速化の復習、および半導体1	2	半導体集積回路について学ぶ。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
17	半導体2	2	SRAM、DRAM等の半導体メモリについて理解する。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
18	仮想記憶	2	主記憶の容量制限を解放する仮想記憶の方法について理解する。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
19	メモリの高速化1	2	キャッシュメモリについて理解する。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
20	メモリの高速化2	2	ライトスルー、ライトバック、そしてマッピング方式について学ぶ。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
21	入出力アーキテクチャ1	2	直接制御方式とDMA方式について理解する。 【V-D-3:5-4】入出力を実現するために考案された主要な技術を説明できる。		
22	入出力アーキテクチャ2	2	チャンネル制御方式について理解する。 【V-D-3:5-4】入出力を実現するために考案された主要な技術を説明できる。		
23	後学期中間試験	2			
24	補助記憶装置1	2	光ディスクについて学ぶ。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
25	補助記憶装置2	2	磁気ディスク装置について学ぶ。 【V-D-3:5-3】メモリシステムを実現するために考案された主要な技術を説明できる。		
26	入出力インターフェース	2	USBやIEEE1394などの入出力インターフェースについて理解する。 【V-D-3:5-4】入出力を実現するために考案された主要な技術を説明できる。		
27	入力装置	2	OCR・OMR、バーコードリーダ、ポインティングデバイスなどの入力装置について学ぶ。 【V-D-3:5-4】入出力を実現するために考案された主要な技術を説明できる。		
28	出力装置1	2	CRTと液晶ディスプレイについて学ぶ。 【V-D-3:5-4】入出力を実現するために考案された主要な技術を説明できる。		

29	出力装置2	2	プラズマディスプレイ、ELディスプレイ、そして、プリンタについて学ぶ。 【V-D-3:5-4】入出力を実現するために考案された主要な技術を説明できる。		
30	その他の高速化技術	2	スーパースケーラなどの高速化技術について学ぶ。 【V-D-4:1-3】デュアルシステムやマルチプロセッサシステムなど、コンピュータシステムの信頼性や機能を向上させるための代表的なシステム構成について説明できる。		
期末	期末試験	[2]			
学習時間合計		60	実時間	45	
自学自習(予習・復習)内容(学修単位における自学自習時間の保証)					標準的所用時間
①					
②					
③					
備考欄					
<p>(JABEE関連共通記述)</p> <ul style="list-style-type: none"> この科目はJABEE対応科目である。その他必要事項は各コースで定める。 <p>(各科目個別記述)</p> <ul style="list-style-type: none"> この科目の主たる関連科目はアルゴリズムとデータ構造(本科3年)、OSとコンパイラ(本科4年)である。 <p>(モデルコアカリキュラム)</p> <ul style="list-style-type: none"> 対応するモデルコアカリキュラム(MCC)の学習到達目標、学習内容およびその到達目標を【】内の記号・番号で示す。 <p>(航空技術者プログラム)</p> <ul style="list-style-type: none"> 【航】は航空技術者プログラムの対応項目であることを意味する。 <p>(学位審査基準の要件による分類・適用)</p> <p>科目区分: 専門科目④、適用: A群・計算機システムに関する科目</p>					

学習時間は、実時間ではなく単位時間で記入する。(45分=1、90分=2)