

科目名	組込みシステム I		英文表記	Embedded Systems I		2017/3/13	
科目コード	4218						
教員名: 山田親稔						作成	
技術職員名:							
対象学科/専攻コース	学年	必・選	履修・学修	単位数	授業形態	授業期間	
情報通信システム工学科	4年	選	学修	2単位	講義	前期	
科目目標 【MCC目標】	組込みシステムを構成する組込みプロセッサの基礎および組込みシステムの開発手法を理解する。実用に供せられているコンピュータシステムの利用形態について説明できる。 【V-D-3.6-1】ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。						
総合評価	組込みプロセッサの基礎の理解を定期試験(前期中間(30%)・前期期末(30%))および演習課題(20%)、レポート(20%)により評価する。						
科目達成度目標	目標割合	科目達成度目標	達成度目標の評価方法	ルーブリック			
				理想的な到達レベル(優)	標準的な到達レベル(良)	最低限必要な到達レベル(可)	セルフチェック
	80%	① 組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解する。	基礎知識を定期試験(前期中間(30%)・前期期末(30%))および演習課題(30%)により評価する。	組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解し、簡単なプロセッサを工夫して実装できる。	組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解し、簡単なプロセッサを実装できる。	組込みシステムを構成する組込みプロセッサ、専用回路の基礎を理解する。	
	20%	② 組込みシステムの開発手法を理解する。	基礎知識をレポート(20%)により評価する。	組込みシステムの開発手法を理解し、ハードウェアとの関係を検討できる。	組込みシステムの開発手法を理解する。	組込みシステムを理解する。	
本科・専攻科教育目標	1	2	3	4	<本科教育目標> (1) 技術者に必要な基礎知識を備え、実践力のある人材を育成する (2) 専門的基礎知識を理解し、自ら学ぶことのできる人材を育成する		
	○		◎				
評価方法と評価項目および関連目標に対する評価割合							
	目標との関連	定期試験	小テスト	レポート	その他(演習課題・実技・実務・実習等)	総合評価	セルフチェック
評価項目		60	0	20	20	100	
基礎的理解	①	40			10	50	
応用力(実践・専門・融合)	②	10		10		20	
社会性(プレゼン・コミュニケーション・PBL)	②			10		10	
主体的・継続的学修意欲	①②	10			10	20	
授業概要、方針、履修上の注意	組込みプロセッサとして改良版TeC6(TeC6_Rev)を採用し、OSレスの組込みシステムを実習形式で開発する。また、専用ハードウェアおよび制御対象のシステムは、VHDL言語を用いて設計し、FPGAボード(TD-BD-TS101)上に実装する。						
教科書・教材	プリントおよび電子データを配布する。						

授 業 計 画					
週	授 業 項 目	時間	授 業 内 容	自学自習 (予習・復習)内容	セルフ チェック
1	組込みシステムの概要	2	本講義の概要および進め方、組込みシステムの概要、デジタル回路の復習		
2	VHDLによる設計演習(1)	2	VHDLによるハードウェア設計の基礎 [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
3	VHDLによる設計演習(2)	2	VHDLによる階層設計 [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
4	VHDLによる設計演習(3)	2	VHDLによるシミュレーションの基礎 [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
5	VHDLによる設計演習(4)	2	VHDLによる実用的な組み合わせ回路の設計 ① [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
6	VHDLによる設計演習(5)	2	VHDLによる実用的な組み合わせ回路の設計 ② [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
7	VHDLによる設計演習(6)	2	VHDLによる実用的な組み合わせ回路の設計 ③ [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
8	前期中間試験	2			
9	VHDLによる設計演習(7)	2	VHDLによるレジスタの設計 ① [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
10	VHDLによる設計演習(8)	2	VHDLによるレジスタの設計 ② [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
11	VHDLによる設計演習(9)	2	VHDLによるカウンタの設計 [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
12	VHDLによる設計演習(10)	2	VHDLによるステートマシンの設計 [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
13	VHDLによる設計演習(11)	2	VHDLによる同期式順序回路の設計 ① [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
14	VHDLによる設計演習(12)	2	VHDLによる同期式順序回路の設計 ② [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
15	VHDLによる設計演習(13)	2	VHDLによる同期式順序回路の設計 ③ [V-D-3.6-1]ハードウェア記述言語など標準的な手法を用いてハードウェアの設計、検証を行うことができる。	講義の予習、演習課題	
期末	期末試験	[2]			
16					
17					
18					
19					
20					
21					
22					
23					
24					
25					
26					
27					
28					
29					
30					
期末		[2]			
学習時間合計		30	実時間	22.5	
自学自習(予習・復習)内容(学修単位における自学自習時間の保証)				標準的所用時間	
①	講義の予習・演習課題の作成			各2時間×30回	
②	課題レポート作成			各5時間×2回	
③					
備考欄					
(各科目個別記述) ・ この科目の主たる関連科目は情報通信システム工学科科目関連図を参照のこと。 (モデルコアカリキュラム) ・ 対応するモデルコアカリキュラム(MCC)の学習到達目標、学習内容およびその到達目標を【】内の記号・番号で示す。 (航空技術者プログラム) ・ 【航】は航空技術者プログラムの対応項目であることを意味する。 (学位審査基準の要件による分類・適用) 科目区分：[A群(講義・演習科目)] 電子工学に関する科目					

学習時間は、実時間ではなく単位時間で記入する。(45分=1、90分=2)